

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-305511

(P2001-305511A)

(43)公開日 平成13年10月31日 (2001.10.31)

| (51)Int.Cl. <sup>7</sup> | 識別記号   | F 1          | テーマコード <sup>8</sup> (参考) |
|--------------------------|--------|--------------|--------------------------|
| G 02 F 1/133             | 5 5 0  | G 02 F 1/133 | 5 5 0 2 H 0 9 2          |
|                          | 1/1368 | G 09 F 9/30  | 3 3 8 2 H 0 9 3          |
| G 09 F 9/30              | 3 3 8  | G 09 G 3/20  | 6 2 2 Z 5 C 0 0 6        |
| G 09 G 3/20              | 6 2 2  |              | 6 2 4 A 5 C 0 8 0        |
|                          | 6 2 4  |              | 6 4 2 C 5 C 0 9 4        |

審査請求 未請求 請求項の数18 OL (全9頁) 最終頁に続く

(21)出願番号 特願2000-126557(P2000-126557)

(22)出願日 平成12年4月26日 (2000.4.26)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 村井 博之

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 上里 将史

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

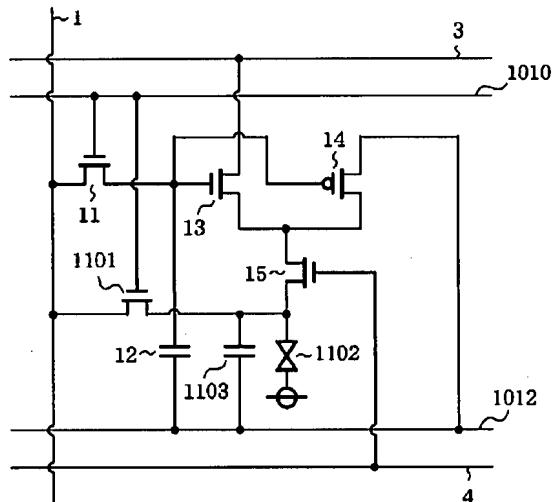
最終頁に続く

(54)【発明の名称】 液晶表示装置及び携帯電話機

(57)【要約】 (修正有)

【課題】 一つの画素に信号が書き込まれ、再び書き込むまでの間（すなわち1フレーム周期）、液晶表示素子1102とコンデンサ1103の持つ静電容量で電圧を維持する必要があるが、液晶の有限の抵抗率やTFTのリード等により電圧が低下し、フリッカなどの表示品位の低下が生じる。

【解決手段】 第3のスイッチング手段13, 14が制御用容量素子12に接続されているように構成する。



## 【特許請求の範囲】

【請求項1】 基板上にマトリックス状に形成された複数の第1の垂直走査線と複数の水平走査線と、前記第1の垂直走査線で制御可能な前記水平走査線と画素電極に接続された第1のスイッチング手段と、前記第1の垂直走査線で制御可能な前記水平走査線に接続された第2のスイッチング手段と、前記第2のスイッチング手段に接続された前記水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第3のスイッチング手段とを備え、前記第3のスイッチング手段が前記制御用容量素子に接続されていることを特徴とする液晶表示装置。

【請求項2】 基板上にマトリックス状に形成された複数の第1の垂直走査線と複数の第3の垂直走査線と複数の水平走査線と、前記第1の垂直走査線で制御可能な前記水平走査線と画素電極に接続された第1のスイッチング手段と、前記第3の垂直走査線で制御可能な前記水平走査線に接続された第2のスイッチング手段と、前記第2のスイッチング手段に接続された前記水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第3のスイッチング手段とを備え、前記第3のスイッチング手段が前記制御用容量素子に接続されていることを特徴とする液晶表示装置。

【請求項3】 第3のスイッチング手段がn型TFTとp型TFTとからなり、一方のTFTは他方のTFTとは異なる基準電位配線に接続されていることを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項4】 第2の垂直走査線で制御可能な第4のスイッチング手段が、第3のスイッチング手段と画素電極との間に直列に接続されていることを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項5】 水平走査線の信号が3値以上であるとき、第3のスイッチング手段であるn型TFTとp型TFTとが接続された異なる基準電位配線の電位が同じであることを特徴とする請求項1から請求項4のうちのいずれか1項記載の液晶表示装置。

【請求項6】 第2の垂直走査線で制御可能な第5のスイッチング手段が、第3のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第2の垂直走査線で制御可能な第6のスイッチング手段が、第3のスイッチング手段であるp型TFTと画素電極との間に各々直列に接続されていることを特徴とする請求項1から請求項3のうちのいずれか1項記載の液晶表示装置。

【請求項7】 第1の垂直走査線に第1及び第2のスイッチング手段をオンする信号を入力した後、液晶の立ち上がり時間または立ち下がり時間より短い時間間隔で第2の垂直走査線に第3のスイッチング手段をオンする信

号を入力することを特徴とする請求項1から請求項6のうちのいずれか1項記載の液晶表示装置。

【請求項8】 第1の垂直走査線の信号周期より、第2の垂直走査線の信号周期は同じか短いことを特徴とする請求項1から請求項7のうちのいずれか1項記載の液晶表示装置。

【請求項9】 水平走査線に接続された駆動回路が、基板外から入力した時系列的な2値の制御信号の並びを画素電極に対応して振り分け、制御用容量素子への書き込み動作が終了するまで画素電極に対応した制御信号を保持できるように構成したことを特徴とする請求項1から請求項8のうちのいずれか1項記載の液晶表示装置。

【請求項10】 画素信号線の基準電位は、画素電極に書き込まれた電位が、対向基板の電位に液晶駆動電圧を加えた電位又は減じた電位となるように設定され、かつ、共通配線の電位は画素電極に書き込まれた電位が、対向基板の電位と等しくなるように設定されていることを特徴とする請求項1から請求項9のうちのいずれか1項記載の液晶表示装置。

20 【請求項11】 画素信号線が基板外から基準電位を供給するための基準電位母線とスイッチング手段により接続されており、スイッチング手段が第1の垂直走査線、第2の垂直走査線及び第3の垂直走査線のうち少なくとも1本と連動して動作するように構成したことを特徴とする請求項1から請求項10のうちのいずれか1項記載の液晶表示装置。

【請求項12】 画素信号線の対向電極の電位を挟んだ電位の変化の時間間隔が、画素電極への書き込み動作の時間間隔より長いことを特徴とする請求項1から請求項11のうちのいずれか1項記載の液晶表示装置。

30 【請求項13】 水平走査線回路の出力が、第3のスイッチング手段を制御する電圧振幅より小さい電圧振幅であり、前記水平走査線回路の出力と水平走査配線の間に電圧振幅交換回路を有することを特徴とする請求項1から請求項12のうちのいずれか1項記載の液晶表示装置。

【請求項14】 第1の垂直走査線で制御可能な水平走査線と画素電極に接続された第1のスイッチング手段のフィールドスルー電圧と、第2の垂直走査線で制御可能な画素電極に接続された第4のスイッチング手段と、または第5及び第6のスイッチング手段によるフィールドスルー電圧が同じであることを特徴とする請求項1から請求項13のうちのいずれか1項記載の液晶表示装置。

【請求項15】 1つの画素の画素電極が複数に分割され、各々の画素電極に対して、第1または第3の垂直走査線及び水平走査線に接続された第2のスイッチング手段と、スイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号の電位を画素電極に書き込むための第3のスイッチング手段を有することを特徴とする請求項1から請求項14のう

ちのいずれか1項記載の液晶表示装置。

【請求項16】複数に分割された画素電極における少なくとも1つの画素電極の面積が、他の画素電極とは異なっていることを特徴とする請求項1から請求項15のうちのいずれか1項記載の液晶表示装置。

【請求項17】画素電極が金属膜で構成された反射型であることを特徴とする請求項1から請求項16のうちのいずれか1項記載の液晶表示装置。

【請求項18】請求項1から請求項17のいずれかに記載の液晶表示装置を備えたことを特徴とする携帯電話機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶を用いて画像を表示するための液晶表示装置、特に低消費電力であることが必要となる携帯情報端末や携帯電話に用いられる液晶表示装置に関するものである。

【0002】

【従来の技術】パーソナルコンピュータやテレビ受像機などにおいて、静止画や動画を表示するために液晶表示装置が用いられている。図10は従来のカラー液晶表示装置を示す構成図であり、図において、1001はRGBの各一つの画素から構成される一つのピクセル、1002は多数のピクセルが行列状に配列された液晶表示部、1003はシフトレジスタ回路1004とバッファ回路1005から構成され、液晶表示部1002の一つの行を選択する垂直走査回路、1006はシフトレジスタ回路1007とバッファ回路1008とスイッチ1009から構成され、液晶表示部1002の一つの列に信号を配するための水平走査回路、1010および1011は垂直走査回路1003および水平走査回路1006と各画素とをそれぞれ結ぶための垂直走査線および信号線、1012は共通配線である。図11は図10の一つの画素を示す回路図であり、図において、1101はTFT、1102は液晶表示素子、1103はコンデンサーである。

【0003】次に動作について説明する。垂直走査線1010に正電圧が印加されるとTFT1101が導通し、信号線1011と液晶表示素子1102およびコンデンサー1103が接続される。これにより、液晶表示素子1102およびコンデンサー1103には信号線1011と同電位の電圧まで充電される。いわゆる点順次駆動の場合には一つの行の各列ピクセルは水平走査回路1006により順次充電されてゆき、すべての列ピクセルを走査した後、垂直走査回路1003により垂直走査線1010の電圧が0もしくは負電圧となるためTFT1101は非導通状態になり、液晶表示素子1102およびコンデンサー1103の電圧は保持される。

【0004】同様に次の行の走査を順次行い、垂直走査回路1003が全ての行を走査（1フレームと呼ぶ）し

た後、再び垂直走査線1010には正電圧が印加され、液晶表示素子1102およびコンデンサー1103に信号線から電圧が書き込まれる。このようにして、全ピクセルが1フレーム毎に順次書き込まれながら表示を行うことになる。

【0005】

【発明が解決しようとする課題】従来の液晶表示装置は以上のように構成されているので、一つの画素に信号が書き込まれ、再び書き込むまでの間（すなわち1フレーム周期）、液晶表示素子1102とコンデンサー1103の持つ静電容量で電圧を維持する必要があるが、液晶の有限の抵抗率やTFTのリーク等により電圧が低下し、フリッカーなどの表示品位の低下が生じる。図12は、この様子を図示したものであり、(a)は通常の60Hzのフレーム周波数で動作させた場合であり、一つの画素はフレーム周期1/60秒に一度書き換えられるため、電圧の低下がわずかで画素の反射率（輝度）は変化せず、フリッカーやコントラスト低下といった表示品位の低下はみられない。

【0006】ところで、液晶表示装置の消費電力は、フレーム周波数×垂直走査線数の周波数で動作する垂直走査回路1003、およびフレーム周波数×垂直走査線数×水平走査線数の周波数で動作する水平走査回路1006において、高速で動作するシフトレジスタ回路の電力が大部分を占め、低消費電力化に対しては、これらの動作周波数の低減、もしくは間欠的に動作させることが有効である。

【0007】(b)は消費電力を低減させるために水平および垂直走査回路の動作周波数を低下させた場合を示す。この場合、液晶表示素子の書き換え時間間隔、即ち、フレーム周期は長くなり、その間に生じる電圧低下は極めて大きくなる。このような表示を行った場合には、電圧が時間的に変化するため、反射率（輝度）が大きく変化してフリッカーやコントラスト低下といった表示品位の低下が生じるなどの課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、表示品位を損なうことなく、消費電力の低減化を図ることができる液晶表示装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る液晶表示装置は、第1の垂直走査線で制御可能な水平走査線と画素電極に接続された第1のスイッチング手段と、第1の垂直走査線で制御可能な水平走査線に接続された第2のスイッチング手段と、第2のスイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第3のスイッチング手段とを備え、第3のスイッチング手段が制御用容量素子

に接続されているようにしたものである。

【0010】この発明に係る液晶表示装置は、第1の垂直走査線で制御可能な水平走査線と画素電極に接続された第1のスイッチング手段と、第3の垂直走査線で制御可能な水平走査線に接続された第2のスイッチング手段と、第2のスイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第3のスイッチング手段とを備え、第3のスイッチング手段が制御用容量素子に接続されているようにしたものである。

【0011】この発明に係る液晶表示装置は、第3のスイッチング手段がn型TFTとp型TFTとからなり、一方のTFTは他方のTFTとは異なる基準電位配線に接続されているようにしたものである。

【0012】この発明に係る液晶表示装置は、第2の垂直走査線で制御可能な第4のスイッチング手段が、第3のスイッチング手段と画素電極との間に直列に接続されているようにしたものである。

【0013】この発明に係る液晶表示装置は、水平走査線の信号が3値以上であるとき、第3のスイッチング手段であるn型TFTとp型TFTとが接続された異なる基準電位配線の電位が同じであるようにしたものである。

【0014】この発明に係る液晶表示装置は、第2の垂直走査線で制御可能な第5のスイッチング手段が、第3のスイッチング手段であるn型TFTと画素電極との間に直列に接続されており、第2の垂直走査線で制御可能な第6のスイッチング手段が、第3のスイッチング手段であるp型TFTと画素電極との間に各々直列に接続されているようにしたものである。

【0015】この発明に係る液晶表示装置は、第1の垂直走査線に第1及び第2のスイッチング手段をオンする信号を入力した後、液晶の立ち上がり時間または立ち下がり時間より短い時間間隔で第2の垂直走査線に第3のスイッチング手段をオンする信号を入力するようにしたものである。

【0016】この発明に係る液晶表示装置は、第1の垂直走査線の信号周期より、第2の垂直走査線の信号周期は同じか短いようにしたものである。

【0017】この発明に係る液晶表示装置は、水平走査線に接続された駆動回路が、基板外から入力した時系列的な2値の制御信号の並びを画素電極に対応して振り分け、制御用容量素子への書き込み動作が終了するまで画素電極に対応した制御信号を保持できるようにしたものである。

【0018】この発明に係る液晶表示装置は、画素信号線の基準電位は、画素電極に書き込まれた電位が、対向基板の電位に液晶駆動電圧を加えた電位又は減じた電位となるように設定され、かつ、共通配線の電位は画素電

極に書き込まれた電位が、対向基板の電位と等しくなるように設定されているようにしたものである。

【0019】この発明に係る液晶表示装置は、画素信号線が基板外から基準電位を供給するための基準電位母線とスイッチング手段により接続されており、スイッチング手段が第1の垂直走査線、第2の垂直走査線及び第3の垂直走査線のうち少なくとも1本と連動して動作するようにしたものである。

【0020】この発明に係る液晶表示装置は、画素信号線の対向電極の電位を挟んだ電位の変化の時間間隔が、画素電極への書き込み動作の時間間隔より長いようにしたものである。

【0021】この発明に係る液晶表示装置は、水平走査線回路の出力が、第3のスイッチング手段を制御する電圧振幅より小さい電圧振幅であり、水平走査線回路の出力と水平走査配線の間に電圧振幅変換回路を有するようにしたものである。

【0022】この発明に係る液晶表示装置は、第1の垂直走査線で制御可能な水平走査線と画素電極に接続された第1のスイッチング手段のフィールドスルーレ電圧と、第2の垂直走査線で制御可能な画素電極に接続された第4のスイッチング手段と、または第5及び第6のスイッチング手段によるフィールドスルーレ電圧が同じであるようにしたものである。

【0023】この発明に係る液晶表示装置は、1つの画素の画素電極が複数に分割され、各々の画素電極に対して、第1または第3の垂直走査線及び水平走査線に接続された第2のスイッチング手段と、スイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号の電位を画素電極に書き込むための第3のスイッチング手段を有するようにしたものである。

【0024】この発明に係る液晶表示装置は、複数に分割された画素電極における少なくとも1つの画素電極の面積が、他の画素電極とは異なっているようにしたものである。

【0025】この発明に係る液晶表示装置は、画素電極が金属膜で構成された反射型であるようにしたものである。

40 【0026】この発明に係る携帯電話機は、請求項1から請求項17のいずれかに記載の液晶表示装置を備えたものである。

【0027】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による液晶表示装置を示す構成図、図2は一つの画素を構成する回路図であり、図において、図10及び図11と同一符号は同一または相当部分を示すので説明を省略する。15 1は第2のスイッチ手段であるn型のTFT、12は制

御用容量素子であるコンデンサ、13は第3のスイッチ手段であるn型のTFT、14は第3のスイッチ手段であるp型のTFT、15はn型のTFTである。

【0028】図3は本発明の液晶表示装置の通常表示(例えば、16階調、4096色表示)における回路動作を説明する波形図である。電圧(a)は第1の垂直走査線1010の信号、電圧(b)は水平走査線1の信号、電圧(c)は画素信号線3の信号、電圧(d)は共通配線1012の信号、電圧(e)は第2の垂直走査線4の信号、電圧(f)は制御用容量素子の電圧、電圧(g)は画素電極の電圧である。

【0029】次に動作について説明する。通常表示時は、画素電極と同時に制御用容量素子にアナログ電圧が書き込まれるため、第3のスイッチ手段であるn型のTFT13とp型のTFT14が同時に中途半端なオン状態となり、画素信号線3と共通配線1012間で(貫流)電流が流れる。これを防止するため、画素信号線3を共通配線1012と同電位にする。

【0030】ここで、図4は液晶表示装置の低電力表示(例えば、2階調、8色表示)における回路動作を説明する波形図である。低電力表示時は、制御用容量素子に制御電圧を書き込むと同時に、画素電極にも制御電圧が書き込まれる。低電力表示では、制御用容量素子に書き込まれた電圧に応じて第3のスイッチ手段であるn型のTFT13またはp型のTFT14の何れか一方のTFTを通じて、画素信号線3または共通配線1012の電位を画素電極に書き込むが、画素電極に制御電圧が書き込まれた後の画素信号線3または共通配線1012の電位の書き込み動作が遅いと、制御電圧に対して液晶が応答するため、表示画像が乱れる。このため、第1の垂直走査線1010に、第1及び第2のスイッチ手段をオンする信号を入力した後、液晶の立上り時間又は立下り時間より短い時間間隔で第2の垂直走査線4に第3のスイッチ手段であるTFT15をオンする信号を入力する。図4では第1の直後に第3をオンしている。また低電力表示では第1の垂直走査線による書き込みの時間間隔を第2の垂直走査線による書き込みの時間間隔より長くすることができるので、水平走査回路が動作している時間を従来に比べ短くすることができ、このため従来に比べ消費電力を低くできる。図4では、画素電極への書き込みを制御する第2の垂直走査線の信号の時間間隔と画素信号線の信号の変化の時間間隔が同じであるが、画素信号線の信号の変化の時間間隔を長くしてもよい。この場合、画素信号線や画素電極の電位変化が少なくなるため、更に低電力化できる。

【0031】実施の形態2. 図5はこの発明の実施の形態2における一つの画素を構成する回路図である。この実施の形態2では、通常表示時の貫流電流をなくすため、n型のTFT13またはp型のTFT14の間に、第5及び第6のスイッチ手段61、62を挿入する

ようしている。

【0032】実施の形態3. 図6はこの発明の実施の形態3における一つの画素を構成する回路図である。この実施の形態3では、低電力表示時の画素電極への制御電圧の書き込みを防止するため、第1の垂直走査線を、第1のスイッチ手段1101を制御する第1の垂直走査線1010と、第2のスイッチ手段11を制御する第3の垂直走査線51に機能を分離する。したがって、前述の通常表示時と低電力表示時で独立に動作する。

【0033】実施の形態4. 図7はこの発明の実施の形態4による液晶表示装置を示す構成図、図8は副画素の電極面積を示す説明図、図9はデジタル/アナログ切替回路を示す回路図である。この実施の形態4では、低電力表示時の階調数(表示色)を増やすため、画素を独立動作する副画素で構成する。また、副画素は副画素の数(nビット)に対応して面積を変える。例えば、nビットの場合、 $1:2:2^1:\cdots:2^n$ とする。

【0034】さらに、各画素信号線71は、第2の垂直走査線で制御できるスイッチ手段を介して画素信号母線73に接続されている。第2の垂直走査線が選択された行の画素信号線71のみが画素信号母線73に接続されるので、画素信号母線73の電位を変化させても画素信号線71による寄生容量は小さく、例えば、行毎に極性を反転させて画素電極に書き込んでも寄生容量による消費電力の増加を抑えることができる。

【0035】また、行が選択された時間以外は画素信号母線73から画素信号線71が切り離されているので、例えば画素内で画素信号線71と他の信号線の間にリーカーが生じていたとしても、リーカ電流による消費電力の増加を抑えることができる。

【0036】例えば、液晶が±2.5Vで動作する場合、通常表示時の水平走査回路からの出力振幅は5Vでよい。一方、低電力表示時では、画素信号線71の電圧振幅は液晶を駆動するため5Vであり、この電圧振幅をスイッチングするための第2のスイッチ手段の制御信号振幅は、液晶駆動振幅+TFTの閾値電圧+オフ時のバイアス電圧が必要である。例えば、10Vが必要となる。

【0037】このため、水平走査回路は10Vの出力電圧が要求されるが、デジタル入力の線順次駆動方式等で水平走査回路にD/A回路を内蔵し、バッファ回路を必要とする場合、バッファ回路が高電圧で動作する必要があり、消費電力の増大を招いた。

【0038】水平走査回路と水平走査線の間に、切替機能を持つレベルシフタ回路(図9)を設置することにより、高精度なアナログ出力が要求される通常表示の場合、水平走査回路のバッファ出力を水平走査線に供給し、2値制御で精度を要求しない低電力表示時は、水平走査回路の5Vの出力振幅をレベルシフタ回路により1

0Vの電圧振幅に変換し、水平走査線に供給する。これにより、水平走査回路の出力電圧振幅は5Vでよく、水平走査回路の消費電力を低減できる。

【0039】また、水平走査回路は低い出力電圧振幅であってもよいため、例えばa-Si TFT-LCDで使用されているソース側ICの使用が可能となる。これにより、同じ機能の水平走査回路をポリシリコンTFTで構成する場合より低い消費電力が実現できる。

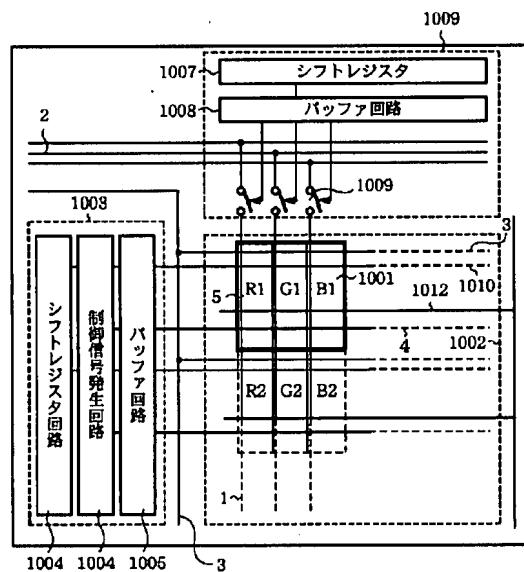
#### 【0040】

【発明の効果】以上のように、この発明によれば、第1の垂直走査線で制御可能な水平走査線と画素電極に接続された第1のスイッチング手段と、第1の垂直走査線で制御可能な水平走査線に接続された第2のスイッチング手段と、第2のスイッチング手段に接続された水平走査線の制御信号を保持するための制御用容量素子と、画素信号線の電位を画素電極に書き込むために画素信号線と画素電極を接続する第3のスイッチング手段とを備え、第3のスイッチング手段が制御用容量素子に接続されているように構成したので、表示品位を損なうことなく、消費電力の低減化を図ることができる効果がある。

【0041】この発明によれば、液晶表示装置を携帯電話機の表示装置に用いるので、画素の書き込む頻度の少ない待機時には、低電力表示により消費電力が少なく、携帯電話の電池の消耗を減らすことができる効果がある。

#### 【図面の簡単な説明】

【図1】



10  
【図1】 この発明の実施の形態1による液晶表示装置を示す構成図である。

【図2】 一つの画素を構成する回路図である。

【図3】 液晶表示装置の通常表示（例えば、16階調、4096色表示）における回路動作を説明する波形図である。

【図4】 液晶表示装置の低電力表示（例えば、2階調、8色表示）における回路動作を説明する波形図である。

10 【図5】 この発明の実施の形態2における一つの画素を構成する回路図である。

【図6】 この発明の実施の形態3における一つの画素を構成する回路図である。

【図7】 この発明の実施の形態4による液晶表示装置を示す構成図である。

【図8】 副画素の電極面積を示す説明図である。

【図9】 デジタル／アナログ切替回路を示す回路図である。

20 【図10】 従来のカラー液晶表示装置を示す構成図である。

【図11】 図10の一つの画素を示す回路図である。

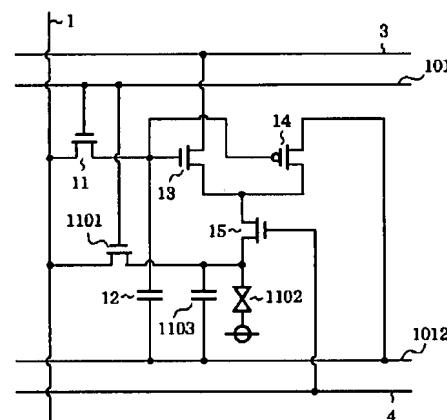
【図12】 表示品位の低下を示す説明図である。

【図13】 携帯電話機の外形図である。

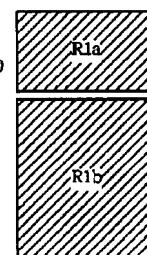
【符号の説明】

11 n型のTFT、12 コンデンサ、13 n型のTFT、14 p型のTFT、15 n型のTFT。

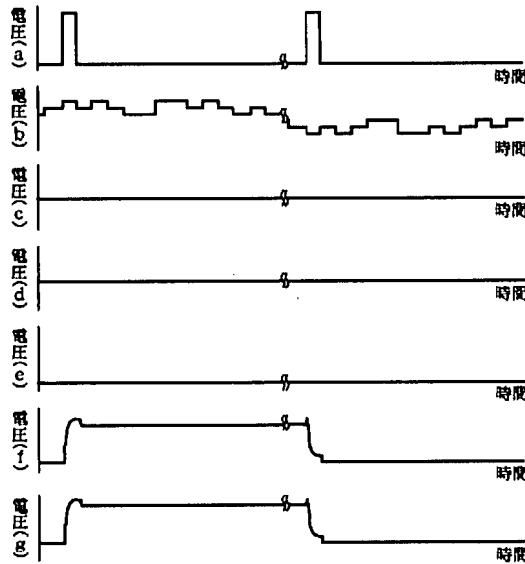
【図2】



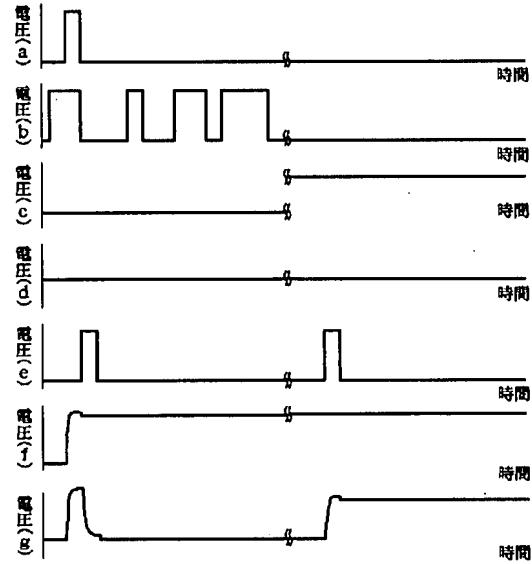
【図8】



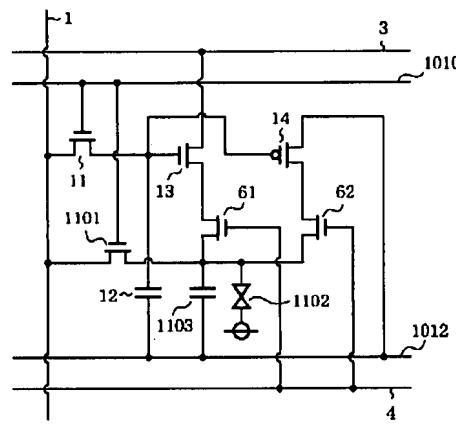
【図3】



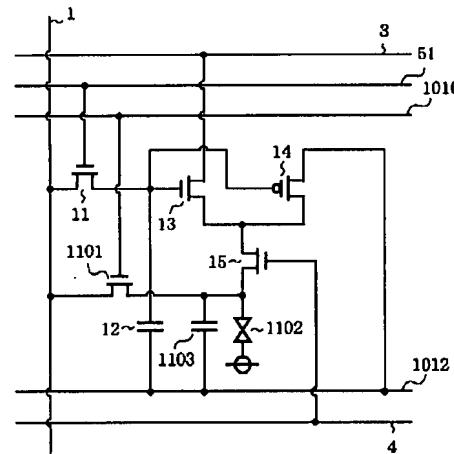
【図4】



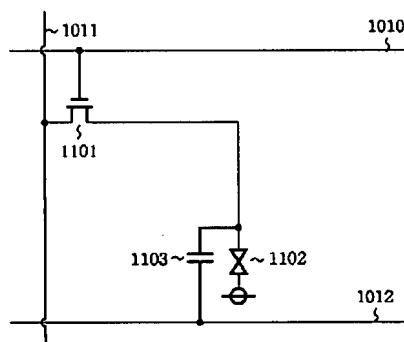
【図5】



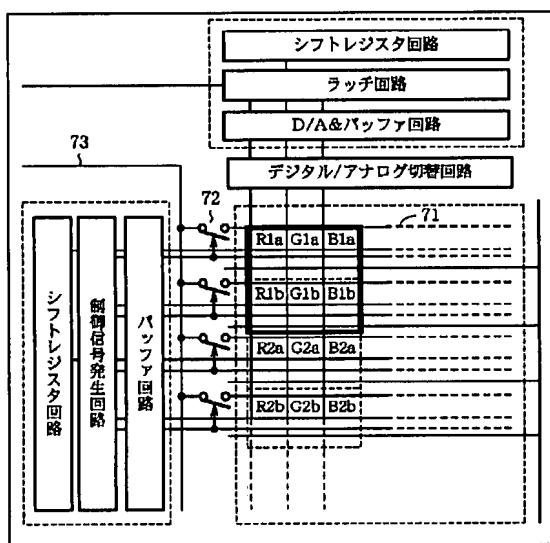
【図6】



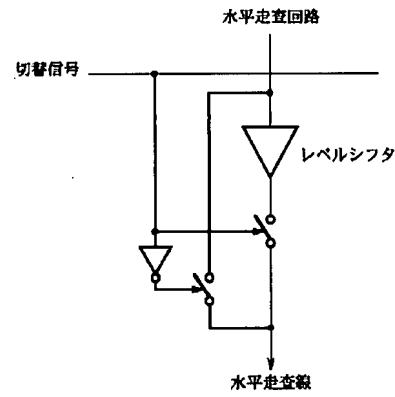
【図11】



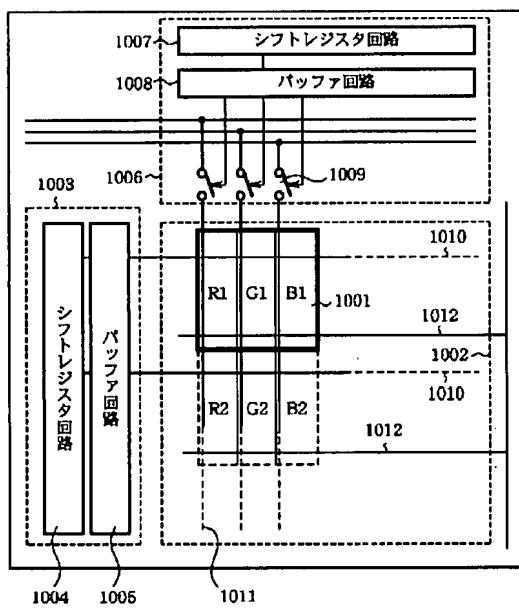
【図7】



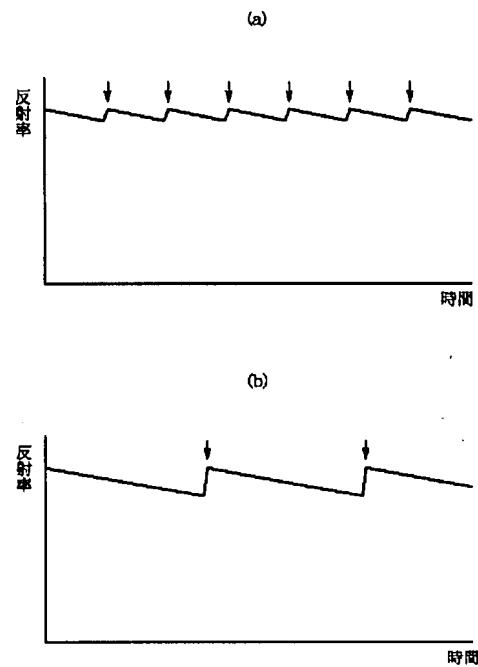
[図9]



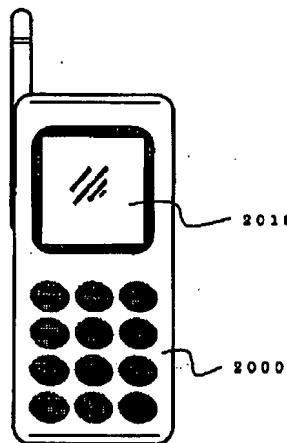
【図10】



【図12】



【図13】



## フロントページの続き

| (51) Int. Cl. <sup>7</sup> | 識別記号  | F 1    | テマコード(参考) |
|----------------------------|-------|--------|-----------|
| G 09 G                     | 3/20  | G 09 G | 6 8 0 S   |
|                            | 6 4 2 | 3/20   |           |
|                            | 6 8 0 | 3/36   |           |
|                            | 3/36  | G 02 F | 5 0 0     |
|                            |       | 1/136  |           |

(72)発明者 時岡 秀忠  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 井上 満夫  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

F ターム(参考) 2H092 GA13 JA24 JB05 JB07 JB44  
JB62 NA01 NA26 PA06  
2H093 NA16 NA43 NA53 NC09 NC11  
NC22 NC34 NC36 NC40 NC49  
ND10 ND39 NE03 NE10 NH15  
5C006 AA16 AA22 AC11 AC22 AF42  
BB16 BC06 BF03 FA23  
5C080 AA10 BB05 CC03 DD06 EE29  
EE30 FF11 GG02 JJ02 JJ03  
JJ04 JJ05 JJ06  
5C094 AA22 AA54 BA03 BA43 CA19  
DA13 DB04 EA10 EB02 FA01  
FB12 FB14 FB15 GA10